

DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

009419581 **Image available**
WPI Acc No: 1993-113095/199314
XRAM Acc No: C93-050365
XRPX Acc No: N93-085734

**Plasma CVD appts. for forming thin films - in which plasma formation
is carried out by applying HF power**

Patent Assignee: NISSHIN ELECTRICAL CO LTD (NDEN)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5051753	A	19930302	JP 91211126	A	19910822	199314 B
JP 96000977	B2	19960110	JP 91211126	A	19910822	199606

Priority Applications (No Type Date): JP 91211126 A 19910822

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 5051753	A		5	C23C-016/50	
JP 96000977	B2		5	C23C-016/50	Based on patent JP 5051753

Abstract (Basic): JP 5051753 A

Plasma CVD appts. is for forming a raw material gas into a plasma and forming a thin film on a substrate. The plasma formation is performed by imposing hf power of superposing 1st pulse modulation of up to 1 KHz and 2nd pulse modulation having shorter period than of the 1st modulation on a given frequency hf power.

USE - Used for forming thin films on a substrate without preventing prodn. of radical species that contribute the film forming reaction, but restrict generation of radical species which cause dust generation selectively with desired film forming rate maintained.

Title Terms: PLASMA; CVD; APPARATUS; FORMING; THIN; FILM; PLASMA; FORMATION
; CARRY; APPLY; HF; POWER

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-51753

(43)公開日 平成5年(1993)3月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
C 2 3 C 16/50		7325-4K		
H 0 1 L 21/205		7454-4M		
H 0 1 L 21/31		C 8518-4M		

審査請求 有 請求項の数 3 (全 5 頁)

(21)出願番号 特願平3-211128

(22)出願日 平成3年(1991)8月22日

(71)出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72)発明者 渡辺 征夫

福岡市西区宮坂団地テラスハウス140-15

(72)発明者 桑原 創

京都市右京区梅津高畝町47番地 日新電機株式会社内

(72)発明者 桐村 浩哉

京都市右京区梅津高畝町47番地 日新電機株式会社内

(74)代理人 弁理士 谷川 昌夫

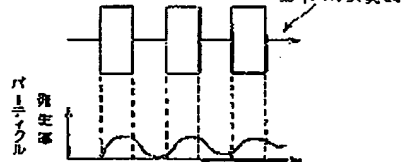
(54)【発明の名称】 プラズマCVD法及び装置

(57)【要約】

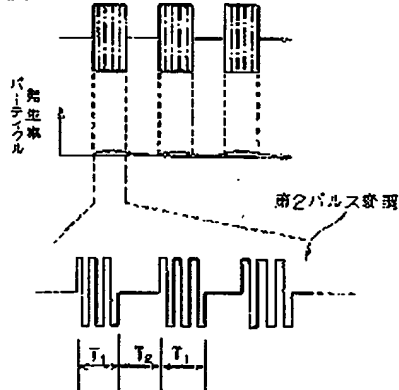
【目的】 原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD法及び装置において、成膜反応に寄与するラジカル種の生成を妨げず、しかもダスト発生の原因となるラジカル種の発生を選択的に抑制して、所望の成膜速度を維持したまま、ダストの基板上成膜部への付着を抑制する。

【構成】 原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD法及び装置において、前記原料ガスのプラズマ化を、所定周波数の高周波電力に1 KHz以下の第1のバルス変調及び該変調より短い周期をもつ第2のバルス変調を重畳させた高周波電力を印加して行う。

(A)



(B)



1

【特許請求の範囲】

【請求項1】 原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD法において、前記原料ガスのプラズマ化を、所定周波数の高周波電力に1 KHz以下の第1のバース変調及び該変調より短い周期をもつ第2のバース変調を重ねさせた高周波電力の印加により行うことを特徴とするプラズマCVD法。

【請求項2】 前記第2のバース変調におけるオンタイムT1が $0.5 \mu\text{sec} < T1 < 100 \mu\text{sec}$ の範囲にあり、オフタイムT2が $3 \mu\text{sec} < T2 < 100 \mu\text{sec}$ の範囲にある請求項1記載のプラズマCVD法。

【請求項3】 原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD装置において、前記原料ガスのプラズマ化のための高周波電力印加手段が、所定周波数の高周波電力に1 KHz以下の第1のバース変調及び該変調より短い周期をもつ第2のバース変調を重ねさせる手段を含んでいることを特徴とするプラズマCVD装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD法及び装置に関する。

【0002】

【従来の技術】 プラズマCVDは、アモルファスシリコン(a-Si)太陽電池、液晶表示装置等の各種薄膜デバイスの形成に広く利用されている。このプラズマCVDでは、成膜基板上にダストが付着することを防止するため、プラズマCVD装置の成膜室への基板搬送系や成膜室における基板の各配置を、ダスト発生が少なくなるように工夫している。また、ダスト発生を抑制するため、成膜条件を工夫したり、成膜室への基板の設置時や装置の運転の合間に成膜室内電極や基板搬送系等を清掃することも行われており、これらによって例えば液晶表示基板上の成膜ではかなりの効果があがっている。

【0003】

【発明が解決しようとする課題】 しかしながら、プラズマCVDにより、例えば原料ガスにSiH₄を用いてガラス等の基板上に(a-Si)膜を形成すると、たとえ前述の如く、ダスト発生の少ない条件を設定しても、該成膜中に基板にダストが付着する。これは、本発明者の研究によると、たとえ、ダストが生成される最低のミニマムダストの条件で成膜しても、その成膜中に、なお、基板に近い領域のプラズマにミニマムダストが蓄積されるからである。

【0004】 前記原料ガスSiH₄を例にとると、これがプラズマ化されることによりSiH₃ラジカル、SiH₂ラジカル、SiHラジカルが生成されるが、(a-Si)膜の形成には主としてSiH₃ラジカルが寄与し、SiH₂ラジカルやSiHラジカルといった低シラ

2

ン系ラジカルはSiH₃と反応して高次シランSi_nH_{2n+2}が生成され、これがダストパーティクルになると考えられる。

【0005】 そこで本発明は、原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD法及び装置において、成膜反応に寄与するラジカル種の生成を妨げず、しかもダスト発生の原因となるラジカル種の発生を選択的に抑制して、所望の成膜速度を維持したまま、ダストの基板上成膜部への付着、侵入を抑制することを目的とする。

【0006】

【課題を解決するための手段】 プラズマCVDの反応過程を支配するプラズマ中には、前述のとおり多くのラジカルが存在し、また、イオンが存在する。プラズマ中におけるエネルギー交換、ラジカル生成の主役は電子であり、電界により加速された電子が、イオンや中性粒子と衝突を繰り返し、多種多様のイオン、ラジカルが生成される。従ってプラズマCVD法及び装置においては、イオン、ラジカル制御は電子(エネルギー又は密度)制御により制御でき、これを制御することで、生成される各種ラジカルのうち、成膜反応に不必要なラジカルの発生を抑制し、成膜反応に必要なラジカルのみを増加させ得ると考えられる。

【0007】 そこで本発明者はさらに研究を重ね、プラズマ中における電子温度又は密度は生成される各種ラジカルの密度の空間分布により決定されること、換言すると、プラズマ中における電子温度が各種イオン、ラジカルの生成に関係することに着目するとともに、各種ラジカル密度の比はプラズマ発生のための高周波入力(RF入力)のオン時、オフ時からの時間遅移を持つこと、すなわち、例えば原料ガスがSiH₄の場合、成膜反応に利用すべきSiH₃ラジカルは、プラズマ発生のための高周波入力オンにより、ダスト発生の原因となるSiH₂ラジカルやSiHラジカルとともに増加するが、高周波入力オフ後、SiH₃ラジカルは寿命が比較的に長いに対し、SiH₂ラジカルやSiHラジカルは寿命が短いことに着目した。さらに、電子温度或いは密度は、図5に示すように、高周波入力オンにともない急速に立ち上がり、再び急速に降下して一定となることに着目し、結論として、原料ガスへの高周波電力印加の時間間隔を制御することで成膜反応に不必要なラジカルの発生を選択的に抑制し、成膜反応に必要なラジカルのみを選択的に増加させ得ることを見出し、本発明を完成した。

【0008】 すなわち、本発明は、前記目的を達成するため、原料ガスをプラズマ化し、基板上に薄膜を形成するプラズマCVD法において、前記原料ガスのプラズマ化を、所定周波数の高周波電力に1 KHz以下の第1のバース変調及び該変調より短い周期をもつ第2のバース変調を重ねさせた高周波電力の印加により行うことを特徴とするプラズマCVD法、及び原料ガスをプラズマ化

50

し、基板上に薄膜を形成するプラズマCVD装置において、前記原料ガスのプラズマ化のための高周波電力印加手段が、所定周波数の高周波電力に1KHz以下の第1のバース変調及び該変調より短い周期をもつ第2のバース変調を重ねさせる手段を含んでいることを特徴とするプラズマCVD装置を提供するものである。

【0009】前記変調条件は、原料ガス流量、成膜室、基板温度、原料ガス種等の多くのパラメーターにより、随時変化させる必要があるが、一般的には、前記第1のバース変調は1KHz以下の条件とすることが考えられ、周期が1KHzより短いと、不必要なラジカル種発生を抑制し難い。一方、必要なラジカル種を十分増加させる上で、例えば400Hz以上とすることが考えられる。また、必要なラジカル種を選択的に増加させ、不必要なラジカル種の発生、残存を選択的に抑制するうえで、前記第2のバース変調におけるオンタイムT1を0.5μsec<T1<100μsecの範囲で、オフタイムT2を3μsec<T2<100μsecの範囲で選択決定することが代表的な例として考えられる。

【0010】

【作用】本発明のプラズマCVD法及び装置によると、所定周波数の高周波電力に1KHz以下の第1のバース変調及び該変調より短い周期をもつ第2のバース変調を重ねさせた高周波電力が原料ガスに印加されることで、成膜反応に必要なラジカル種が選択的に発生、増加する一方、成膜反応に不必要なラジカル種の発生が抑制された状態で、基板上に所望の薄膜が形成される。成膜中、成膜反応に不必要なラジカル種の発生が抑制されることでダストパーティクルの発生率は激減し、且つ、成膜反応に必要なラジカル種は選択的に発生、増加することで所望の成膜速度が得られる。

【0011】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は本発明方法の実施に使用するプラズマCVD装置の一例の概略断面を示している。図示の装置は、真空チャンバ1、該チャンバに電磁弁2を介して接続した真空ポンプ2、チャンバ1内に設置した電極3、4、チャンバ1に接続した成膜用ガス源5及び電磁弁6を介して接続したベント用ガス源6を備えている。

【0012】電極3は接地電極であり、これには成膜温度調節用のヒータ31が付設されている。電極4にはそれ自体既に知られているマッチングボックス8を介して高周波電源7から高周波電圧が印加される。これら電極3、4は、基板9へのダスト付着を少なくするため、いずれも垂直に配置してある。

【0013】高周波電源7は、任意の高周波バース変調が可能な高周波信号発生器71及び高周波増幅器(RFパワーアンプ)72を有しており、本発明に従って、所定周波数の高周波に400Hz~1KHzの第1のバース変調及び該変調より短い周期をもつ第2のバース変調

を重ねさせた高周波電力を印加できるように構成してある。第2のバース変調では、本発明に従い、オンタイム(On-Time)T1を0.5μsec<T1<100μsecの範囲から、オフタイム(Off-Time)T2を3μsec<T2<100μsecの範囲から選択決定できる。

【0014】第1バース変調による高周波入力、オフ状態は図2の(A)に示すようになり、第2バース変調による高周波入力、オフ状態は図2の(B)下段に示すようになる。以上説明した装置によると、本発明方法は次のように実施される。まず、成膜すべき基板9を装着したトレイ10を電極3上に設置する。しかるのち、チャンバ1内を電磁弁2の開成とポンプ2の運転にて所定圧まで真空引きし、成膜用ガス源5から成膜用原料ガスをチャンバ1内に導入する。次いで、電源7にてこのガスに第1及び第2バース変調された高周波電圧を印加し、プラズマ化させ、基板9上に成膜させる。成膜後、電磁弁6を開いてベントガス源6からチャンバ1内へベントガス(例えばN₂ガス)を導入してベント処理したのち、基板9をチャンバ1から取り出す。或いは、チャンバ1内の真空を維持したまま、基板9をトレイ10ごと、次のプロセスチャンバへ移動させることも考えられる。

【0015】前記成膜中、原料ガスには、第1及び第2バース変調された高周波電力が印加されるので、成膜反応に必要なラジカル種が選択的に発生、増加する一方、成膜反応に不必要なラジカル種の発生が抑制された状態で、基板上に所望の薄膜が形成される。成膜中、成膜反応に不必要なラジカル種の発生が抑制されることでダストパーティクルの発生率は激減し、且つ、成膜反応に必要なラジカル種は選択的に発生、増加することで成膜速度が向上し、また、プラズマ温度或いは密度の制御により良質な成膜を行える。

【0016】なお、第1バース変調のみを行うときは、図2の(A)に示すように、ダストパーティクルの発生率は高いが、第2バース変調を重ねるときは、図2の(B)に示すように、ダストパーティクルの発生率は著しく低下する。また、前記実施例によると、原料ガス流量やプラズマ発生のための投入パワーを増加させても、ダスト発生率の増加を引き起こさないで、それだけ成膜速度を向上させることができる。

【0017】前記バース変調におけるバースOn-Off時間(即ち、電子温度)の最適条件で成膜した膜は、物理的特性(バンドギャップ、キャリア移動度等)の安定した特性が得られる。以上説明した方法及び装置に基づき、次の具体的条件でガラス基板上に厚さ500~1000Åのアモルファスシリコン(a-Si)膜を形成したところ、該膜上に実用上問題となるダストの付着は殆ど見られず、成膜時間もバース変調無しで、他の条件を同一とした成膜時より短縮された。

【0018】ガラス基板 : 10cm角、成膜時温度200~250℃

電極3、4 : 300mm角

高周波電力 : 200~500W 13.56MHz

第1パルス変調条件 : 400~1000Hz

第2パルス変調 : オンタイムT1 10μsec

オフタイムT2 20μsec

チャンバ1の成膜時真空度 : 0.5~1Torr

原料ガス : シラン、水素、不活性ガス 400secm以下

成膜に要した時間 : 5~10分

その他 : 基板-電極間隔 4cm

なお、本発明は前記実施例に限定されるものではなく、他にも種々の態様で実施できる。例えば、高周波電源7は、図3や図4に示すように構成してもよく、或いは、さらに他の構成としてもよい。

【0019】図3に示すものは、高周波信号発生器73からの第1パルス変調された高周波出力を、アナログスイッチAS、RFパワーアンプ74及びマッチングボックス81を介して供給するように構成する一方、アナログスイッチASを、位相同期回路75にてパルス信号の同期をとりつつパルス信号発生器76にて操作すること

で第2パルス変調を行うようにしたものである。
【0020】図4に示すものは、高周波信号発生器77からの高周波出力をアナログスイッチAS1及びAS2を介してRFパワーアンプ78及びマッチングボックス82を介して供給するように構成する一方、アナログスイッチAS1及びAS2を、位相同期回路79にてパルス信号の同期をとりつつパルス信号発生器801、802にて操作すること

で第1及び第2パルス変調を行うようにしたものである。

【0021】

【発明の効果】以上説明したように本発明プラズマCVD法及び装置には次のような利点がある。

- ① 成膜反応に寄与するラジカル種の生成を妨げず、しかもダスト発生の原因となるラジカル種の発生を選択的に抑制して、所望の成膜速度を維持したまま、ダストの基板上成膜部への付着、混入を抑制することができる。
- ② ガス流量や、原料ガスプラズマ化のための投入パワーを増加させても、ダストの発生率の増加を引き起こさ

*ないので、それだけ成膜速度を向上させることができる。

③ 装置の大幅な改造を必要としないため、装置コスト、成膜コストが安価に抑制される。

④ ダストの発生が抑制されるため、装置のメンテナンス性の向上が得られる。

【図面の簡単な説明】

【図1】本発明に係る方法の実施に使用するプラズマCVD装置の一例の概略断面図である。

10 【図2】高周波電力のパルス変調の様子を示す図である。

【図3】高周波電源の他の例のブロック回路図である。

【図4】高周波電源のさらに他の例のブロック回路図である。

【図5】高周波入力オン後の電子温度の時間的変化を示すグラフである。

【符号の説明】

1 真空チャンバ

2 真空ポンプ

20 21 電磁弁

3 接地電極

4 高周波電極

5 成膜用原料ガス源

6 ベントガス源

61 電磁弁

7 高周波電源

71 高周波信号発生器

72 RFパワーアンプ

73 高周波パルス信号発生器

30 74 RFパワーアンプ

75 位相同期回路

76 パルス信号発生器

AS アナログスイッチ

81 マッチングボックス

77 高周波信号発生器

78 RFパワーアンプ

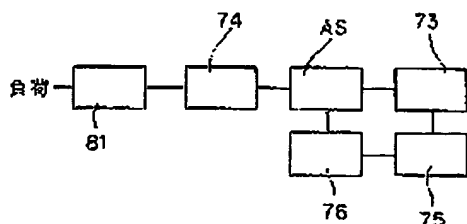
79 位相同期回路

801、802 パルス信号発生器

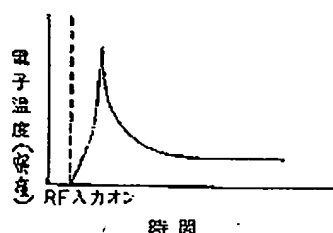
AS1、AS2 アナログスイッチ

82 マッチングボックス

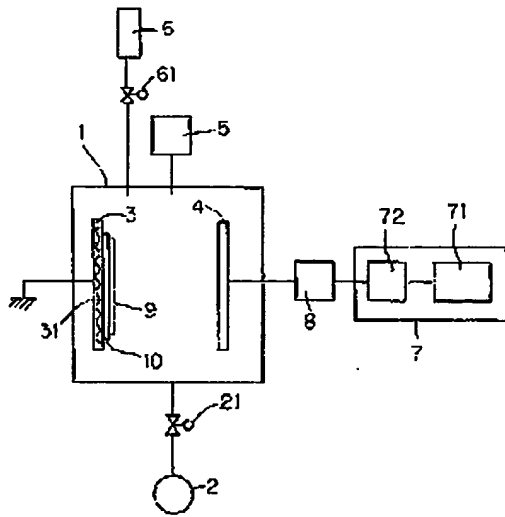
【図3】



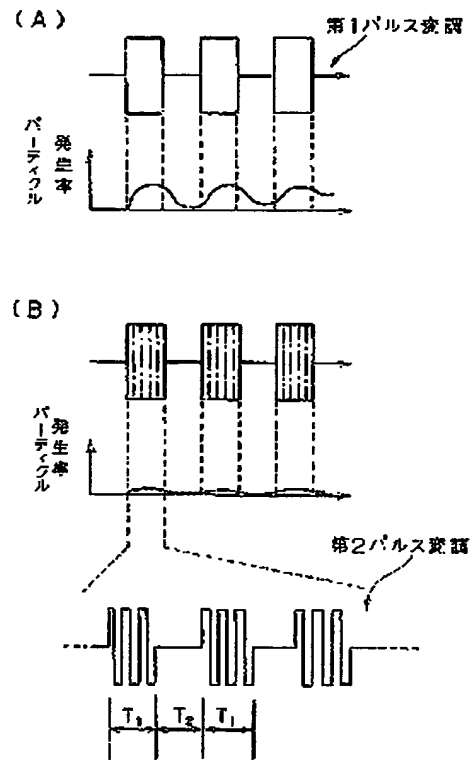
【図5】



【図1】



【図2】



【図4】

